

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申請日：西元 2002 年 10 月 15 日  
Application Date

申請案號：091123663  
Application No.

申請人：聯測科技股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 6 月 9 日  
Issue Date

發文字號：09220560830  
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	覆晶式半導體封裝件
	英 文	STACKED FLIP-CHIP PACKAGE
二、 發明人	姓 名 (中文)	1. 蘇桓平
	姓 名 (英文)	1. Huan-Ping SU
	國 籍	1. 中華民國
	住、居所	1. 新竹市科學工業園區力行三路2號 No. 2, Li-Hsin Road, 3, Science-Based Industrial Park, Hsin-Chu, Taiwan, R.O.C.
三、 申請人	姓 名 (名稱) (中文)	1. 聯測科技股份有限公司
	姓 名 (名稱) (英文)	1. UNITED TEST CENTER INC.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹市科學工業園區力行三路2號 No. 2, Li-Hsin Road, 3, Science-Based Industrial Park, Hsin-Chu, Taiwan, R.O.C.
	代表人 姓 名 (中文)	1. 陳健三
	代表人 姓 名 (英文)	1. Jackson CHEN

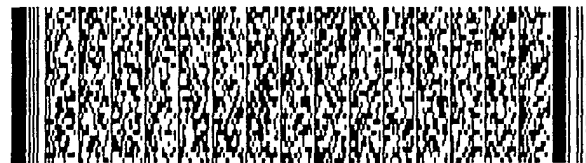
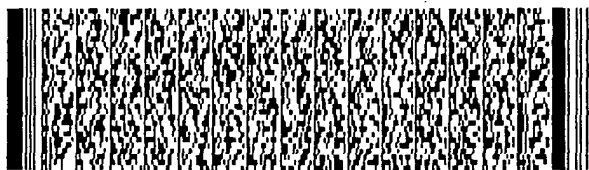


四、中文發明摘要 (發明之名稱：覆晶式半導體封裝件)

一種具多晶片之覆晶式半導體封裝件，係包括一載接有至少一第一晶片之第一晶片承載件，一載接有至少一第二晶片之第二晶片承載件，一提供兩晶片承載件相黏接之膠黏層，一充填兩晶片承載件間隔空隙之樹脂封膠層，以及多數貫穿於該第一晶片承載件、樹脂封膠層及第二晶片承載件，且可提供兩晶片承載件電性連接之導電貫孔；其中，該絕緣性膠黏層係佈覆於該第一晶片之非作用表面，因此該第二晶片承載件翻轉後，可利用該第二晶片之非作用表面黏接到該第一晶片上，而形成第一晶片承載件與第二晶片承載件背對背 (Back to Back) 相接之多晶片模組；該多晶片模組的正反兩面皆能與其他多晶片模組電性連結，故能突破以往覆晶方法之限制，使直立式晶片堆

英文發明摘要 (發明之名稱：STACKED FLIP-CHIP PACKAGE)

A stacked flipchip package comprises two chip carriers, each of which includes at least a chip and a plurality of solder bumps that are formed on the active surface of the chip and are used to electrically connect the chip to the chip carrier. A first chip carrier is attached to a second chip carrier in a "back to back" manner via an insulated adhesive applied on the inactive surface of the first chip mounted on the first chip carrier, and the inactive surface of the second



四、中文發明摘要 (發明之名稱：覆晶式半導體封裝件)

疊技術得以應用到覆晶結構上，而能讓多晶片半導體封裝件裡各晶片的組合運用更為靈活。

英文發明摘要 (發明之名稱：STACKED FLIP-CHIP PACKAGE)

chip mounted on the second chip carrier is attached to the inactive surface of the first chip to form a multichip module. Both of the topmost surface and the lowermost surface of the multichip module are capable of being electrically connected with other components, thereby limitation of vertically stacking chips in flip-chip technology is diminished and arrangement of the chips in a package may be varied accordingly.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

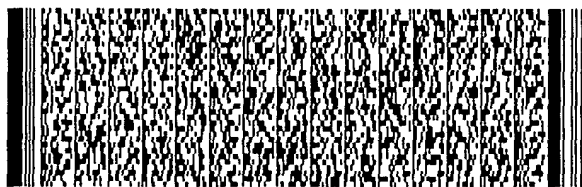
### 【發明領域】：

本發明係關於一種具多晶片之半導體封裝件，尤係關於一種具有兩個以上之晶片且晶片間係採直立型態堆疊之覆晶式多晶片半導體封裝件。

### 【發明背景】：

現今之電子產品為符合高性能及多功能之發展需要，在產品設計上愈來愈朝向高密度集積化 (High Integration) 發展，也就是將數量更多的電子元件 (Electronic-Components) 安置到一定尺寸的半導體晶片上，使晶片具有更強大的功能。然而，高度集積化之半導體晶片在製造上需具備精良的線路整合技術，因此就現有製程觀之實具有其製程上的限制，為提高單一半導體封裝件的性能與容量，將半導體封裝件予以多晶片模組化即成一必然趨勢。

具多晶片模組 (Multichip Module) 之半導體封裝件係在單一封裝件之晶片承載件，如基板 (Substrate) 或導線架 (Lead Frame) 上黏接至少兩片之半導體晶片，晶片與晶片承載件間之黏接方式一般有兩種：一為各晶片相間隔開地黏接於晶片承載件上，此一黏接方式雖不致增加封裝件之高度，惟需要佔用較大的晶片承載件面積以容設所需數量之晶片，導致封裝成品的體積變大而不利於產品微小化的趨勢；再者，晶片承載件面積大，往往會使封裝件與如印刷電路板等外部裝置電性耦接時產生較大的熱應力效應，而易導致晶片承載件產生翹曲現象 (Warpage



## 五、發明說明 (2)

），進而造成晶片與晶片承載件間發生剝離（Delamination or Peeling），所以採用此方法會有較大的信賴性疑慮（Reliability Concern）；另一種黏接方式係將晶片以堆疊方式（Stack）黏設到晶片承載件上，此方式雖會增加封裝完成之成品高度，但能避免晶片承載件發生翹曲及剝離，故相較之下仍可被業界接受。

採用堆疊方式製作多晶片半導體封裝件的技術，如第6圖所示，此種結構之半導體封裝件4係在第一晶片41黏接至基板40上後，將第二晶片44黏接到第一晶片41之上方，再以第一金線42與第二金線45分別將第一晶片41及第二晶片44電性連接至基板40。為避免第二晶片44的黏設阻礙到第一晶片41與第一金線42之銲接，該第二晶片44的尺寸需小於供其承載之第一晶片41尺寸，此一結構性之限制造成晶片在選擇上備受侷限。

為避免上述半導體封裝件結構上的缺陷會導致第二晶片選用限制，美國專利第5,793,108號案提出一種具多晶片模組之半導體封裝件因應之。如第7圖所示，該種半導體封裝件4之第一晶片41係以其作用表面410黏接至導線架40之晶片座400上，再以第一金線42電性連接該第一晶片41與導線架40之導腳401，而後，再將第二晶片44之非作用表面441與第一晶片41之非作用表面411相接，並以第二金線45將第二晶片44與導腳401導電連接。此種背對背（Back to Back）的方式雖不會對晶片尺寸產生限制，但是無論是第一晶片41或第二晶片44，與導線架40之導腳

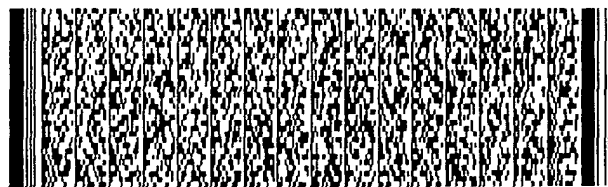
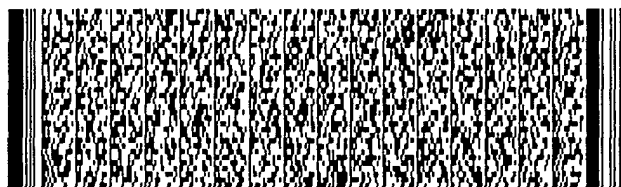


### 五、發明說明 (3)

401產生電性連結關係時都需使用打線技術，第一金線 42 與第二金線 45 的線弧高度會造成封裝件厚度增加，同時，打線產生的線弧亦很容易受模流衝擊而傾倒 (Wire Sweeping)，導致線弧的銲接信賴性低落。

為克服打線產生的問題，兼顧及輸入/輸出端數量之提昇，由球柵陣列技術進一步改良之覆晶技術 (Flip chip) 遂成為市場新寵。覆晶技術係利用晶片在晶圓製程階段預先於晶片作用表面上形成多數銲錫凸塊 (Solder Bump)，並藉由線路整合方式將基板上相對應於各銲錫凸塊位置處形成多個銲線墊 (Finger)，故晶片進行封裝時，可運用二次回銲技術將晶片銲接至基板上，形成「晶片-銲錫凸塊-基板」之結構。然而，如同前述球柵陣列式半導體封裝件、導腳連接型封裝件以及目前的覆晶式半導體封裝件，都只能藉由晶片作用表面來與基板形成電性連接，因此，業者欲選擇以疊晶方式製作具多晶片模組之半導體封裝件時，由於晶片只能利用單一表面 (作用表面) 電性連接到基板上，為避免兩晶片間產生不當電性導接，美國專利第 6,404,043 號又另提出一種新的疊晶型多晶片模組。

如第 8 圖所示，該多晶片模組之封裝結構包含兩片各與第一晶片 51 及第二晶片 54 以覆晶方式電性銲連之第一及第二晶片導電層 50, 53；一夾設於兩晶片導電層 50, 53 間用以電性接合該第一及第二導電層 50, 53 之連結框架 56 (Interconnect Frame)，該連結框架 56 上形成有複數個





#### 五、發明說明 (4)

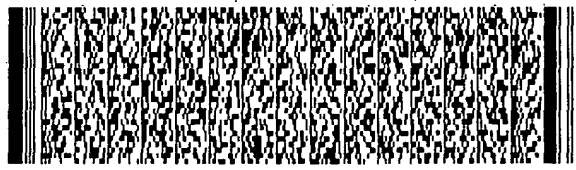
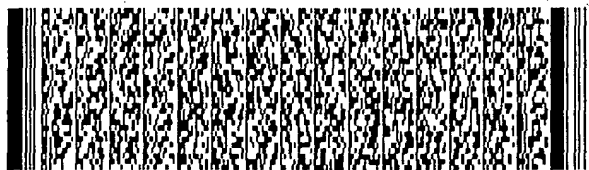
開孔 560，以供第一晶片導電層 50 接合到框架 56 後，晶片導電層 50 上載接的第一晶片 51 可以收納於該開孔 560 中；一單層基板 58，可供該第一晶片導電層 50 黏接，使該第一晶片 51、第二晶片 54 可以透過兩晶片導電層 50, 53 及連結框架 56 電性導接至單層基板 58，再藉該單層基板 58 與外界導電連接。藉由連接框架 56 的設置可將用覆晶銲接之第一晶片 51 及第二晶片 54 分別地電性連接到基板 58 上，以形成一直立式的多晶片模組 5'；然為防止該第一晶片 51 遭第二晶片導電層 53 壓破裂損，該連接框架 56 的高度至少需略大於該第一晶片 51，故而，此多晶片模組 5' 高度因具有厚度較大的連接框架 56，而很難將多晶片結構 5' 的整體高度縮減到更小。

#### 【發明概述】：

本發明之主要目的在提供一種使兩片以上藉覆晶方式電性接合至晶片承載件之半導體晶片可採用直立型態堆疊，以進一步縮減半導體封裝件之整體高度及體積之覆晶式多晶片半導體封裝件。

本發明之另一目的在提供一種使兩片以上藉覆晶方式電性接合至晶片承載件之半導體晶片可採用直立型態堆疊，以縮短導電路徑，使晶片與晶片承載件間具有優良的電性接合品質之覆晶式多晶片半導體封裝件。

本發明之再一目的在提供一種無需使用覆晶底部充填 (Underfill) 技術，而是利用吸水性較低之樹脂材料取代傳統封裝膠材一次完成封膠製程，使封裝步驟大為簡

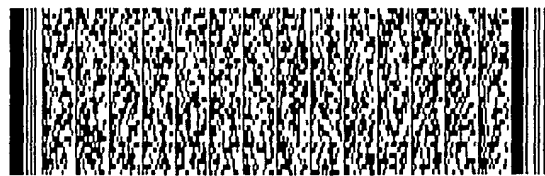
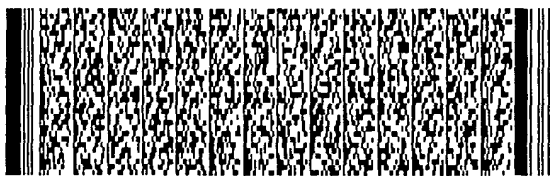


#### 五、發明說明 (5)

化，並能防止封裝膠體氣爆 (Popcorn) 等問題產生之覆晶式多晶片半導體封裝件。

為達成上揭及其他目的，本發明提供之覆晶式多晶片半導體封裝件係包括：一第一晶片承載件，其上載有至少一第一晶片，該第一晶片具有一作用表面及一相對之非作用表面，且該作用表面上形成有複數個鉅錫凸塊以與該第一晶片承載件間形成電性連接關係；一第二晶片承載件，其上載接有至少一第二晶片，並且，如同第一晶片，該第二晶片亦具有一作用表面及一相對之非作用表面，且係藉由形成於該作用表面之多數鉅錫凸塊將第二晶片電性連接至該第二晶片承載件上；一膠黏層，係塗佈於該第一晶片之非作用表面上，使該第二晶片承載件可藉該第二晶片之非作用表面以背對背 (Back to Back) 方式與該第一晶片之非作用表面相黏接；一樹脂封膠層，係充填於該第一晶片承載件與第二晶片承載件之間隔空隙，用以包覆該第一晶片、第二晶片及晶片上之鉅錫凸塊；以及多數貫穿該第一晶片承載件、樹脂封膠層及第二晶片承載件之導電貫孔，使第二晶片的訊號可以透過各導電貫孔電性連結到該第一晶片承載件上。

本發明另一實施例之覆晶式多晶片半導體封裝件，係將至少兩個如同前述實施例之封裝結構直立堆疊，其中，上層的多晶片模組其第一晶片承載件係以多數鉅錫凸塊電性導接至下層多晶片模組之第二晶片承載件上，使上層多晶片模組裡包覆的第一晶片及第二晶片能導電至下層多晶



## 五、發明說明 (6)

片模組之第一晶片承載件上，再藉此第一晶片承載件背面植接的多數錫球電性連接至外界。

相較於習知技術，在樹脂封膠層上形成多數連通第一晶片承載件與第二晶片承載件之金屬層，可為第二晶片提供一電性連通管道，使第一晶片承載件與第二晶片承載件得採背對背 (Back to Back) 方式相接，因此，疊晶完成的封裝成品不需預留晶片收納空間，使封裝件高度可以進一步縮減，以符合電子產品微小化的封裝要求；同時，晶片全部採用覆晶接合亦可為半導體封裝件提供較佳的電性品質，使封裝產品的錫接信賴性疑慮明顯降低。

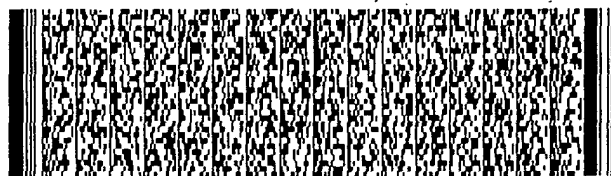
另一方面，由於第一晶片承載件與第二晶片承載件背對背接合的封裝結構，其上下表面皆係能設置錫墊 (Bond Pads) 之基板層，故此覆晶式多晶片半導體封裝件亦能視為一多晶片模組，俾與其他主被動元件組合應用。

再者，充填於第一晶片承載件與第二晶片承載件間之樹脂封膠層，其材質之吸水性較一般封裝膠材 (如環氧樹脂 (Epoxy)) 為低，是以封膠完成後，該樹脂封膠層不會吸附過多水氣而於後續測試階段出現氣爆 (Popcorn) 等問題；而且，樹脂封膠材料之流動性亦優於習用封裝樹脂，故而進行模壓製程時，樹脂封膠材料可以完整填充晶片覆晶底部間隙，以有效地減少氣洞 (Void) 之產生。

### 【發明詳細說明】：

#### 第一實施例：

請參閱第 1 圖進一步說明本發明覆晶式半導體封裝件

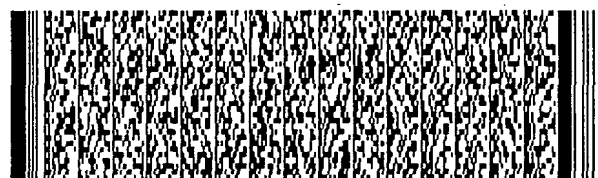
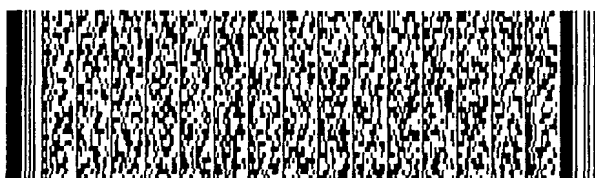


#### 五、發明說明 (7)

之第一實施例。如圖所示，本發明之覆晶式多晶片半導體封裝件 1 係包括：一第一晶片承載件 10，係承載有至少一第一晶片 11，並藉由複數個鐳錫凸塊 12 電性連接該第一晶片 11 至第一晶片承載件 10 上；一第二晶片承載件 13，係載接有至少一第二晶片 14，亦藉由複數個鐳錫凸塊 15 將該第二晶片 14 電性連結至第二晶片承載件 13 上；一膠黏層 16，係提供該第一晶片承載件 10 與第二晶片承載件 13 以背對背方式相接；一樹脂封膠層 17，用以充填該第一晶片承載件 10 與第二晶片承載件 13 間之間隔空隙，其中，該樹脂封膠層 17 上形成有至少一金屬導電層 18 以供該第一晶片承載件 10 與第二晶片承載件 13 電性連接。

配合第 1 圖及第 2 圖所示，該第一晶片承載件 10 及第二晶片承載件 13 係從如 BT (Bismaleimide Triazine) 樹脂、FR-4 樹脂、FR-5 樹脂、聚亞醯胺樹脂或耐高溫紙材等材料製成的基板中擇一使用之。若以最常用之 FR-4 基板為例，兩第一及第二晶片承載件 10, 13 各具有一正面 100, 130、一相對之背面 101, 131，以及貫通該正面 100, 130 及背面 101, 131 之多數貫孔 102, 132 (Vias)，其中，兩晶片承載件 10, 13 正面 100, 130 上供晶片 11, 14 載接之區域內形成有多數鐳塊接合墊 (Bond Pads) (未圖示)，因此第一及第二晶片 11, 14 的訊號可以透過穿越貫孔之導電跡線 (未圖示) 電性連接至晶片承載件 10, 13 背面 101, 131 的鐳球墊 (Ball Pads) (未圖示) 上。

該第一晶片 11 及第二晶片 14 可選用相同或不同種類之

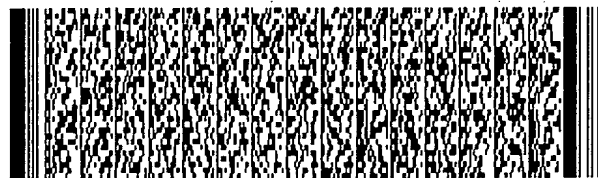


#### 五、發明說明 (8)

晶片，如快閃記憶體 (Flash Memory) 晶片、ASIC晶片、SRAM晶片及 DRAM晶片等，兩晶片 11, 14 各具有一作用表面 110, 140 及一相對之非作用表面 111, 141，藉由晶圓製程形成於該作用表面 110, 140 上的複數個鐳錫凸塊 12, 15 (Solder Bumps)，可分別令第一晶片 11 與第一晶片承載件 10，及第二晶片 14 與第二晶片承載件 13 形成電性藕接關係。

另一方面，上述晶片承載件除基板外，尚能選用導線或 TAB 膠片載具 (Tape Carrier) 作為該第一晶片承載件 10 及第二晶片承載件 13 之來源。以膠片 (Tape) 上蝕刻有多數導腳之 TAB 膠片載具為例，該第一晶片 11 及第二晶片 14 之作用表面 110, 140 上鐳連妥金球 (未圖示) 後，也同樣以作用表面 110, 140 朝下的方式鐳接到第一晶片承載件 10 及第二晶片承載件 13 之各導腳 (未圖示) 上，因此第一晶片 11 之非作用表面 111 亦可與第二晶片 14 之非作用表面 141 相接，而形成兩晶片承載件 10, 13 中間夾接晶片 11, 14 的直立式疊晶結構。

該第一晶片承載件 10 與第二晶片承載件 13 之接合，如第 2 圖所示，係藉由一塗佈於第一晶片 11 非作用表面 111 上之膠黏層 16，該膠黏層 16 為一具有彈性，如環氧樹脂等絕緣性膠材所構成，藉由習知點膠或網印 (Screen Printing) 等方式佈膠到第一晶片承載件 10 之晶片 11 表面後，該第二晶片承載件 13 會翻轉使第二晶片 14 非作用表面 141 朝下，以利用背對背 (Back to Back) 的方式，將該

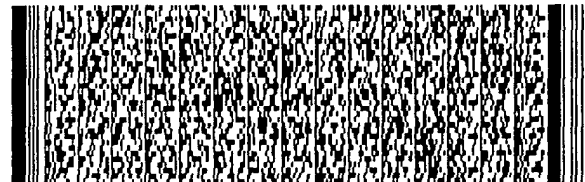
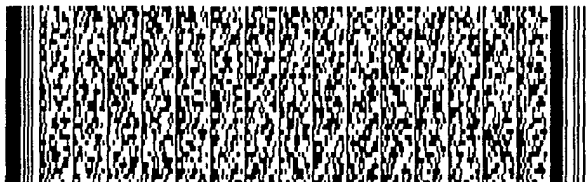


##### 五、發明說明 (9)

第二晶片 14 之非作用表面 141 與第一晶片 11 之非作用表面 111 相黏接。由於該膠黏層 16 具有彈性，因此第一晶片承載件 10 與第二晶片承載件 13 進行後續模壓等步驟時，模具（未圖示）施予晶片承載件的夾合力量可被該膠黏層 16 吸收，以緩衝該第一晶片 11 與第二晶片 14 承受的應力，以免晶片裂損（Crack）發生。

由於第一晶片 11 與第二晶片 14 兩非作用表面 111, 141 已藉由絕緣膠 16 電性隔離開，因此第一晶片承載件 10 與第二晶片承載件 13 以背對背方式相接可以將兩晶片的間隔高度降到更小，俾符合電子產品微小化的要求；同時，兩晶片承載件 10, 13 背對背相接形成多晶片模組 1' 後，該多晶片模組 1' 的正反兩面皆可以提供電性連結，因此，以往覆晶方法所不能採用的直立式晶片堆疊技術，亦可在本發明半導體封裝件中實施。

該樹脂封膠層 17 係使用如 R-Mask（商品名）等低吸濕性及低黏滯度之樹脂材料製成。如第 2 圖所示，該第一晶片承載件 10 與第二晶片承載件 13 以膠黏層 16 背對背黏合後，樹脂會填注到兩晶片承載件 10, 13 之間隔空隙，使第一晶片 11、第二晶片 14 周圍以及兩晶片 11, 14 底部的覆晶底部間隙完全由該樹脂封膠材料（如同該樹脂封膠層 17 之標號）所填滿；同時，R-Mask 等樹脂的吸水性及黏滯度（Viscosity）因較一般封裝膠材為低，故而成型後的樹脂封膠層 17 不會吸附過多水氣導致氣爆產生，另外低黏滯度（即流動性較佳）之樹脂膠材亦能夠完全填滿相鄰銲錫



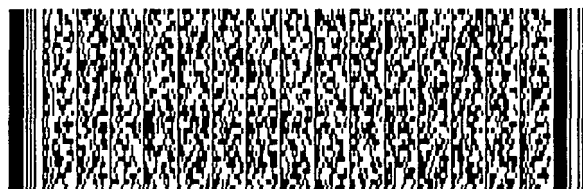
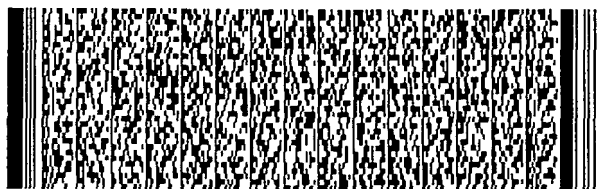
#### 五、發明說明 (10)

凸塊間之空隙，而不需另外進行底部填膠作業 (Underfill)，因此製程步驟可以更為簡單。

成型以後的樹脂封膠層 17 可使用傳統製孔 (Hole Formation) 技術在該第一晶片承載件 10 及第二晶片承載件 13 間形成連通第一晶片承載件 10 貫孔 102 與第二晶片承載件 13 貫孔 132 之導電通道 19 (Conductive Channel)，其中，該貫穿通道 19 內壁上形成有一如銅箔 (Copper Foil) 等金屬導電層 18，其內部可另以銅膏 (Copper Paste) 或銀膠等導電物質 180 或環氧樹脂等非導電物質 (未圖示) 予以充填，使第二晶片承載件 13 藉由該金屬導電層 18 構成的導電通道可以電性連結至第一晶片承載件 10 上。

#### 第二實施例：

第 3 圖係本發明覆晶式多晶片半導體封裝件之第二實施例之剖面示意圖，此實施例之結構係大致相同於前述第一實施例，其不同處僅在於本實施例 2 係將至少兩個如同前述實施例之封裝結構直立堆疊；由於第一晶片承載件 20 與第二晶片承載件 23 是背對背相黏接，致使封膠完成之多晶片模組 2'，其上下表面皆為可供多數錫球墊 203'、233" 佈設之晶片承載件背面 200'、230"，故此半導體封裝件可視作一多晶片模組 2' (2")，而能與其他多晶片模組或主被動元件組合銲接。故如圖所示，本實施例包括一上層之多晶片模組 2' 和一下層之多晶片模組 2" 組接而成，其中，該上層多晶片模組 2' 之第一晶片承載件 20' 係以多數錫塊



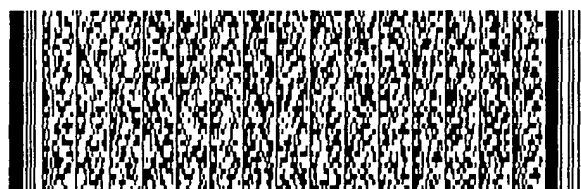
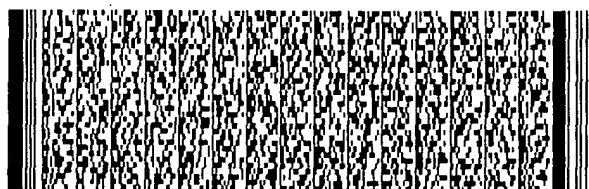
#### 五、發明說明 (11)

28電性導接至下層多晶片模組 2"的第二晶片承載件 23"上，使上層多晶片模組 2'裡包覆的晶片能導電到下層多晶片模組 2"之第一晶片承載件 20"上，再藉此第一晶片承載件 20"背面植接的多數錫球 29"電性連接至外界。

從本實施例可知，運用覆晶技術供晶片鉅結之晶片承載件，以本發明背對背型態組接成一封裝結構後，可以突破以往只能利用單面（晶片作用表面）電性導接之限制，使覆晶接合的封裝結構也能以直立型態堆疊，故可讓覆晶式半導體封裝件在多晶片封裝體的組合上更加靈活；同時，相較於傳統打線技術，本發明封裝件之晶片全部以覆晶方式與晶片承載件鉅接，亦會令封裝成品具有較佳的電性品質。

#### 第三實施例：

第 4A 及 4B 圖係顯示本發明之覆晶式半導體封裝件之第三實施例之立體及剖面示意圖。此第三實施例之結構與前述第一實施例之結構大致相同，其不同處是在於該第一晶片承載件 30、第二晶片承載件 33 與兩晶片承載件 30, 33 間充填之樹脂封膠層 37 並未形成貫穿通道，而是在該樹脂封膠層 37 成型以後，用電鍍等方式在該樹脂封膠層 37 表面形成多條電性連接第一晶片承載件 30 及第二晶片承載件 33 之導電線路 38，線路 38 外部再敷設一絕緣性拒錫劑層 380（Solder Mask）。該導電線路 38 具有一始端及一終端（均未圖示），其中，該始端係通接該第二晶片承載件 33 背面 331 之錫球墊 333，而該終端則連接該第一晶片承載件





#### 五、發明說明 (12)

30背面 301之鐳球墊 (未圖示) , 因此第二晶片 34的訊號傳遞到該第二晶片承載件 33背面 331的鐳球墊 333後, 可以藉由該等導電線路 38直接電性連結至第一晶片承載件 30背面 301的鐳球 39上, 而該第二晶片承載件 33的背面 331亦可提供複數個鐳球 39' 鐳接。

背對背相接的兩晶片承載件因具有該導電線路提供之電性連接功能, 故無須另外形成貫穿樹脂封膠層之通道, 使兩晶片承載件上的電路佈局不必閃避通道位置, 而能進一步減少電路佈局之複雜性。

以上所述僅為本發明之較佳實施例而已, 並非用以限定本發明之實質技術內容範圍, 本發明之實質技術內容係廣義地定義於下述之申請專利範圍中, 任何他人完成之技術實體或方法, 若是與下述之申請專利範圍所定義者係完全相同, 亦或為同一等效變更, 均將被視為涵蓋於此申請專利範圍中。



## 圖式簡單說明

### 【圖式簡單說明】：

第 1 圖係本發明第一實施例之覆晶式多晶片半導體封裝件之剖面示意圖；

第 2 圖係本發明第一實施例之覆晶式多晶片半導體封裝件之分解示意圖；

第 3 圖係本發明第二實施例之覆晶式多晶片半導體封裝件之剖面示意圖；

第 4A 及 4B 圖係本發明第三實施例之覆晶式多晶片半導體封裝件之立體及剖面示意圖；

第 5 圖係習知之晶片堆疊式半導體封裝件之剖面示意圖；

第 6 圖係美國專利第 5,793,108 號以導線架為晶片承載件之半導體封裝件之剖面示意圖；以及

第 7 圖係美國專利第 6,404,043 號以直立型態堆疊晶片之覆晶式多晶片半導體封裝件之剖面示意圖。

### 【元件符號說明】：

1, 2, 3, 4 覆晶式半導體封裝件

1', 2', 5' 多晶片模組

10, 20, 30, 40 第一晶片承載件

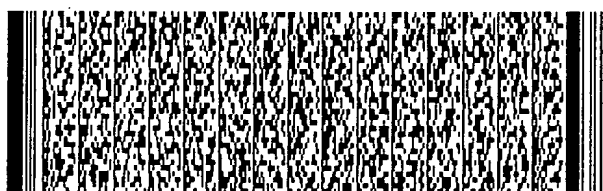
100, 200' 第一晶片承載件正面

101, 301 第一晶片承載件背面


102 第一晶片承載件貫孔

11, 21, 31, 41, 51 第一晶片

110, 410 第一晶片作用表面



圖式簡單說明

111, 411	第一晶片非作用表面		
12, 15	鍍錫凸塊		
13, 23, 33	第二晶片承載件		
130, 230	第二晶片承載件正面		
131, 331	第二晶片承載件背面		
132	第二晶片承載件貫孔		
16	膠黏層	17, 37	樹脂封膠層
18	金屬導電層	180	銅膏
	貫穿通道	28	鍍塊
29, 59	鍍球	38	導電線路
39	拒鍍劑層	203, 233	鍍球墊
42	第一金線	45	第二金線
400	晶片座	401	導腳
50	第一晶片導電層	53	第二晶片導電層
56	連接框架	560	開孔
58	單層基板		



## 六、申請專利範圍

### 1. 一種覆晶式半導體封裝件，係包括：

一第一晶片承載件，其上載接有至少一第一晶片，該第一晶片具有一作用表面及一相對之非作用表面，並藉由作用表面上形成之複數個鐳錫凸塊與該第一晶片承載件電性連接；

一第二晶片承載件，其上載接有至少一第二晶片，該第二晶片亦具有一作用表面及一相對之非作用表面，且此晶片亦係藉由作用表面上形成之複數個鐳錫凸塊與該第二晶片承載件導電連接；

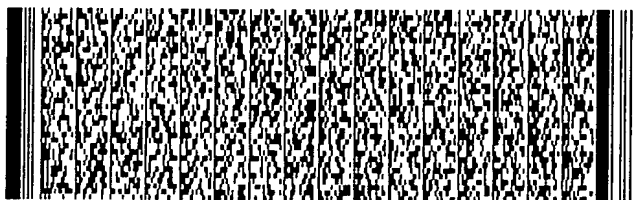
一膠黏層，係佈覆於該第一晶片之非作用表面上，使第二晶片承載件之第二晶片能以其非作用表面與該第一晶片承載件之第一晶片相黏接；

一樹脂封膠層，係充填於該第一晶片承載件與第二晶片承載件之間，藉以包覆該第一晶片、第二晶片及多數鐳錫凸塊；以及

多數貫穿該第一晶片承載件、該樹脂封膠層及第二晶片承載件之導電貫孔，使該第二晶片可藉該第二晶片承載件及導電貫孔電性連接至第一晶片承載件上。

### 2. 如申請專利範圍第1項之覆晶式半導體封裝件，其中，該第二晶片承載件之外露表面上復植接有多數可與該導電貫孔電性連接之鐳球，以藉該等鐳球與另一半導體封裝件電性連接。

### 3. 如申請專利範圍第1項之覆晶式半導體封裝件，其中，



#### 六、申請專利範圍

該第一晶片承載件及第二晶片承載件係為一基板。

4. 如申請專利範圍第1項之覆晶式半導體封裝件，其中，該第一晶片承載件及第二晶片承載件係為一TAB膠片載具（Tape Carrier）。
5. 如申請專利範圍第1項之覆晶式半導體封裝件，其中，該膠黏層係一具彈性之絕緣膠。
6. 如申請專利範圍第1項之覆晶式半導體封裝件，其中，該樹脂封膠層係一低吸濕性及低黏滯度之樹脂材料所製成。

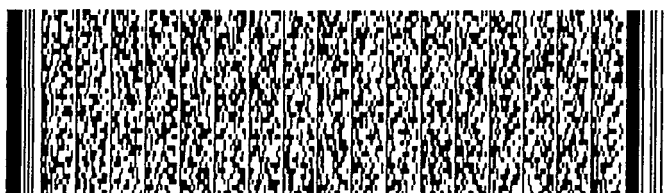
7. 一種覆晶式半導體封裝件，係包括：

一第一晶片承載件，其上載接有至少一第一晶片，該第一晶片具有一作用表面及一相對之非作用表面，並藉由作用表面上形成之複數個鐳錫凸塊與該第一晶片承載件電性連接；

一第二晶片承載件，其上載接有至少一第二晶片，該第二晶片亦具有一作用表面及一相對之非作用表面，且此晶片亦係藉由作用表面上形成之複數個鐳錫凸塊與該第二晶片承載件導電連接；

一膠黏層，係佈覆於該第一晶片之非作用表面上，使第二晶片承載件之第二晶片能以其非作用表面與該第一晶片承載件之第一晶片相黏接；

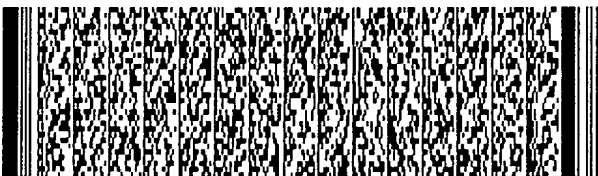
一樹脂封膠層，係充填於該第一晶片承載件與第二晶片承載件之間，藉以包覆該第一晶片、第二晶片及多數鐳錫凸塊；以及



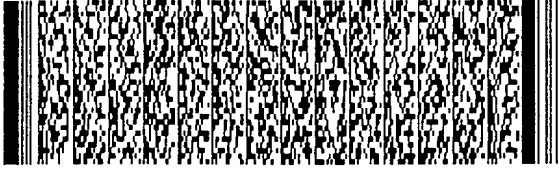
#### 六、申請專利範圍

多數形成於該第一晶片承載件、該樹脂封膠層及第二晶片承載件表面之導電跡線，使該第二晶片可藉由各導電跡線電性連接至第一晶片承載件上。

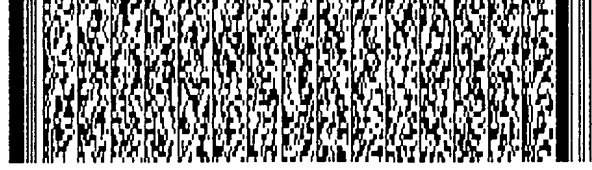
8. 如申請專利範圍第7項之覆晶式半導體封裝件，其中，該第一晶片承載件及第二晶片承載件係為一基板。
9. 如申請專利範圍第7項之覆晶式半導體封裝件，其中，該第一晶片承載件及第二晶片承載件係為一TAB膠片載具（Tape Carrier）。
10. 如申請專利範圍第7項之覆晶式半導體封裝件，其中，該膠黏層係一具彈性之絕緣膠。
11. 如申請專利範圍第7項之覆晶式半導體封裝件，其中，該樹脂封膠層係一低吸濕性及低黏滯度之樹脂材料所製成。
12. 如申請專利範圍第7項之覆晶式半導體封裝件，其中，該導電跡線之一端係連通該第二晶片承載件之鐳球墊（Ball Pads），而另一端則連接到該第一晶片承載件之鐳球墊上。



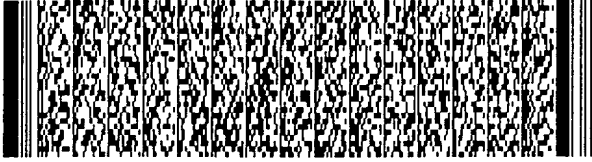
第 1/21 頁



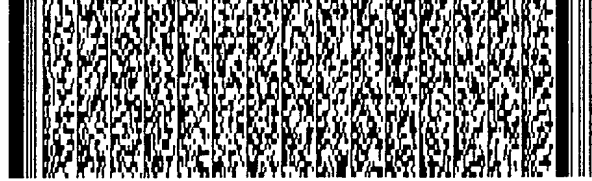
第 2/21 頁



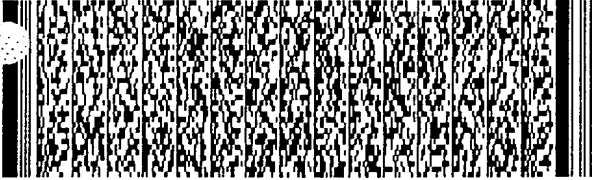
第 2/21 頁



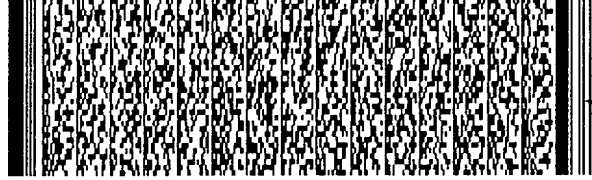
第 3/21 頁



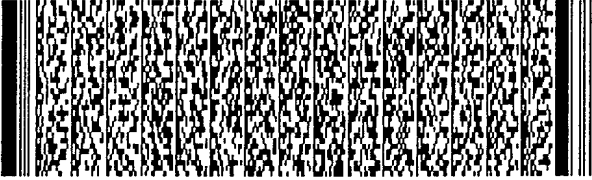
第 5/21 頁



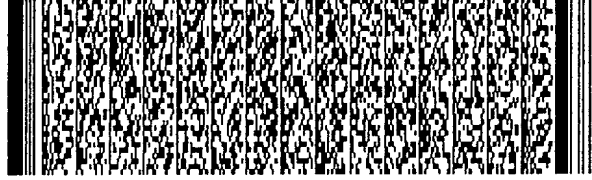
第 5/21 頁



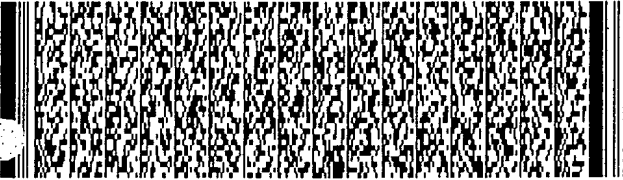
第 6/21 頁



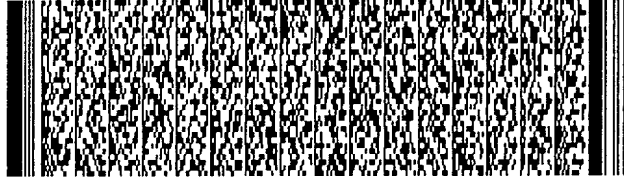
第 6/21 頁



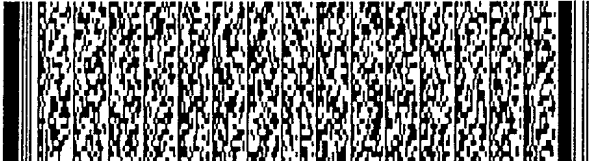
第 7/21 頁



第 7/21 頁



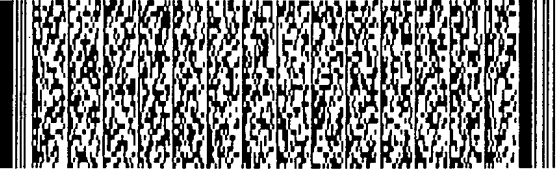
第 8/21 頁



第 8/21 頁



第 9/21 頁



第 9/21 頁

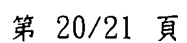
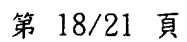
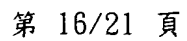
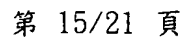
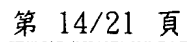
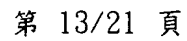
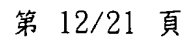
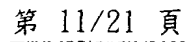


第 10/21 頁



第 10/21 頁

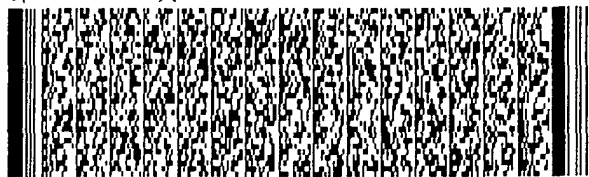


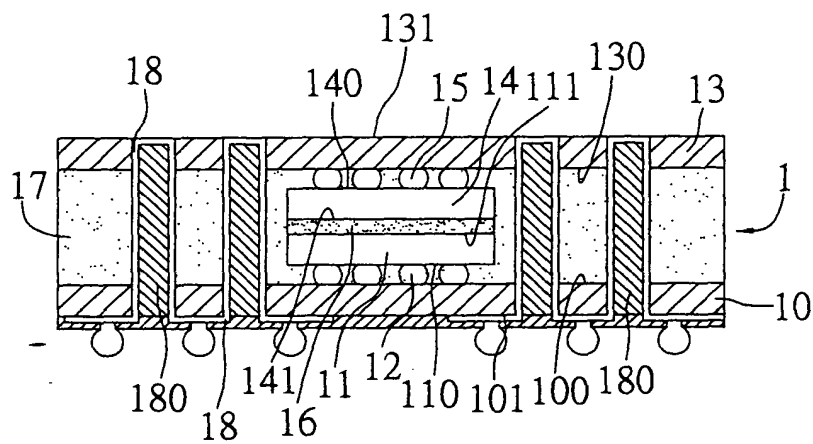




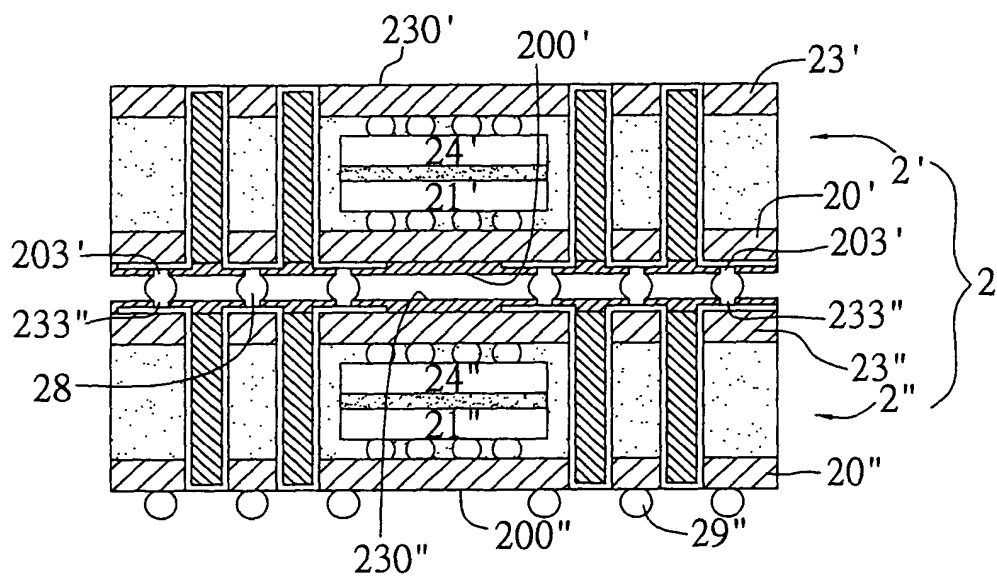
申請案件名稱:覆晶式半導體封裝件

第 21/21 頁

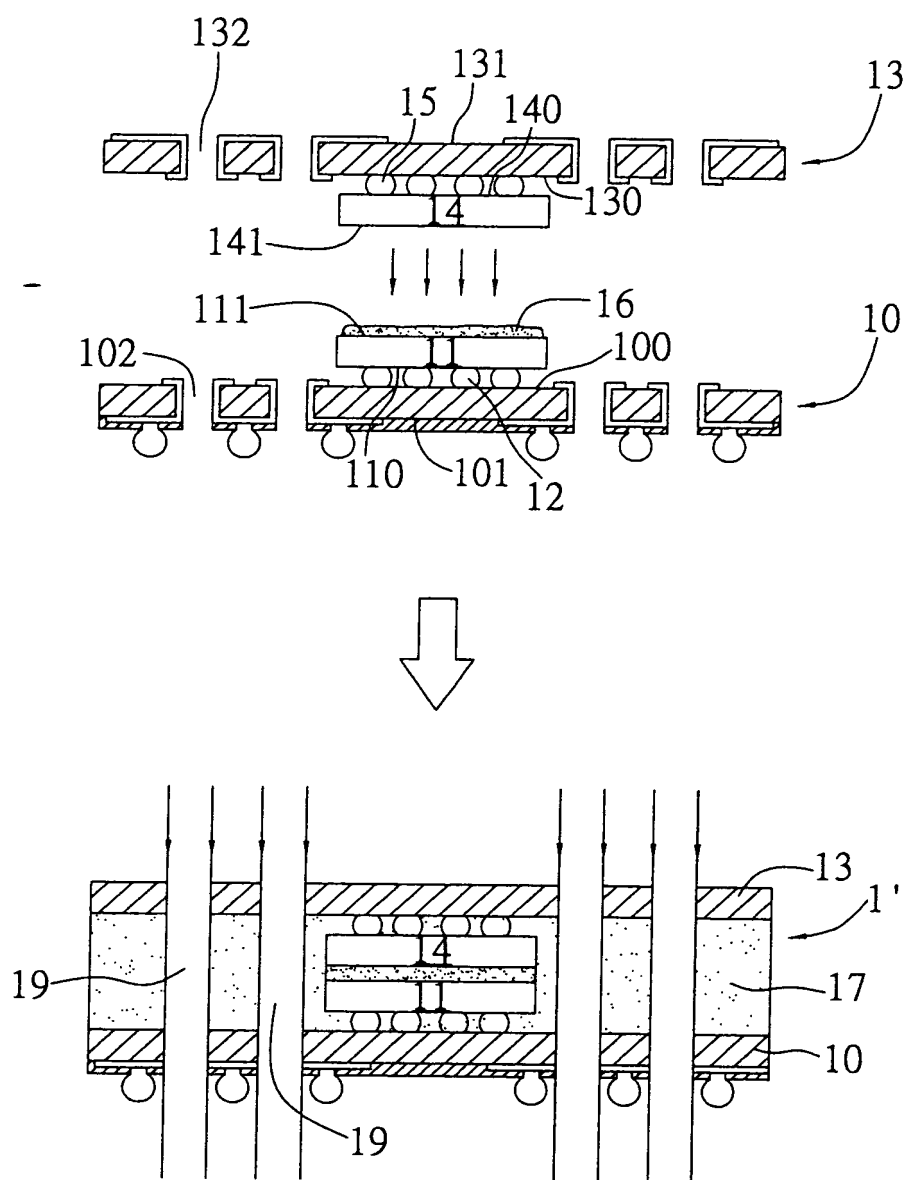




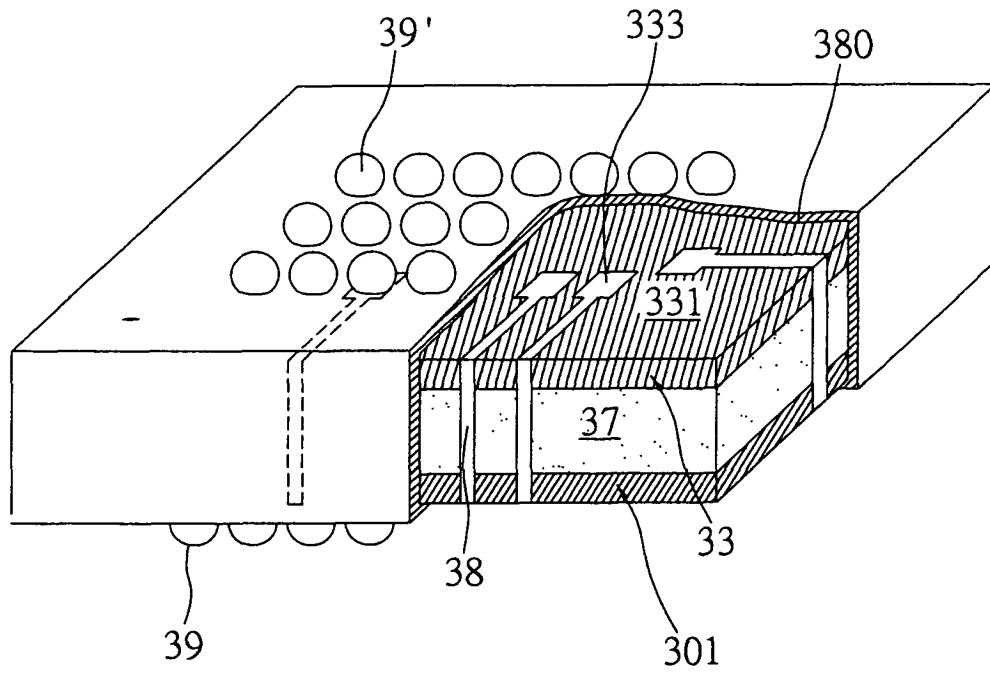
第 1 圖



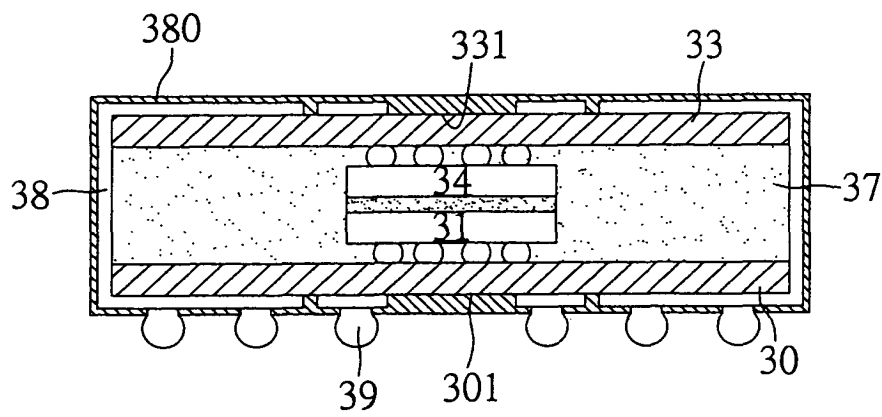
第 3 圖



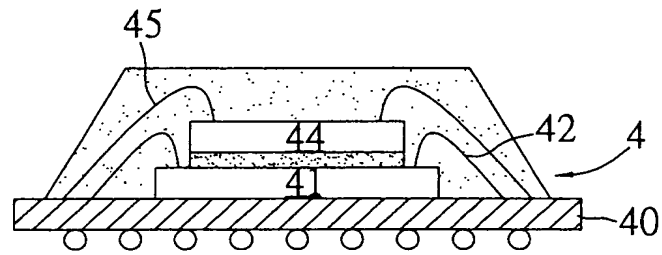
第 2 圖



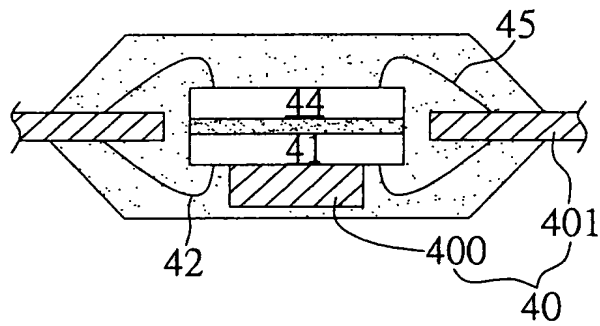
第 4A 圖



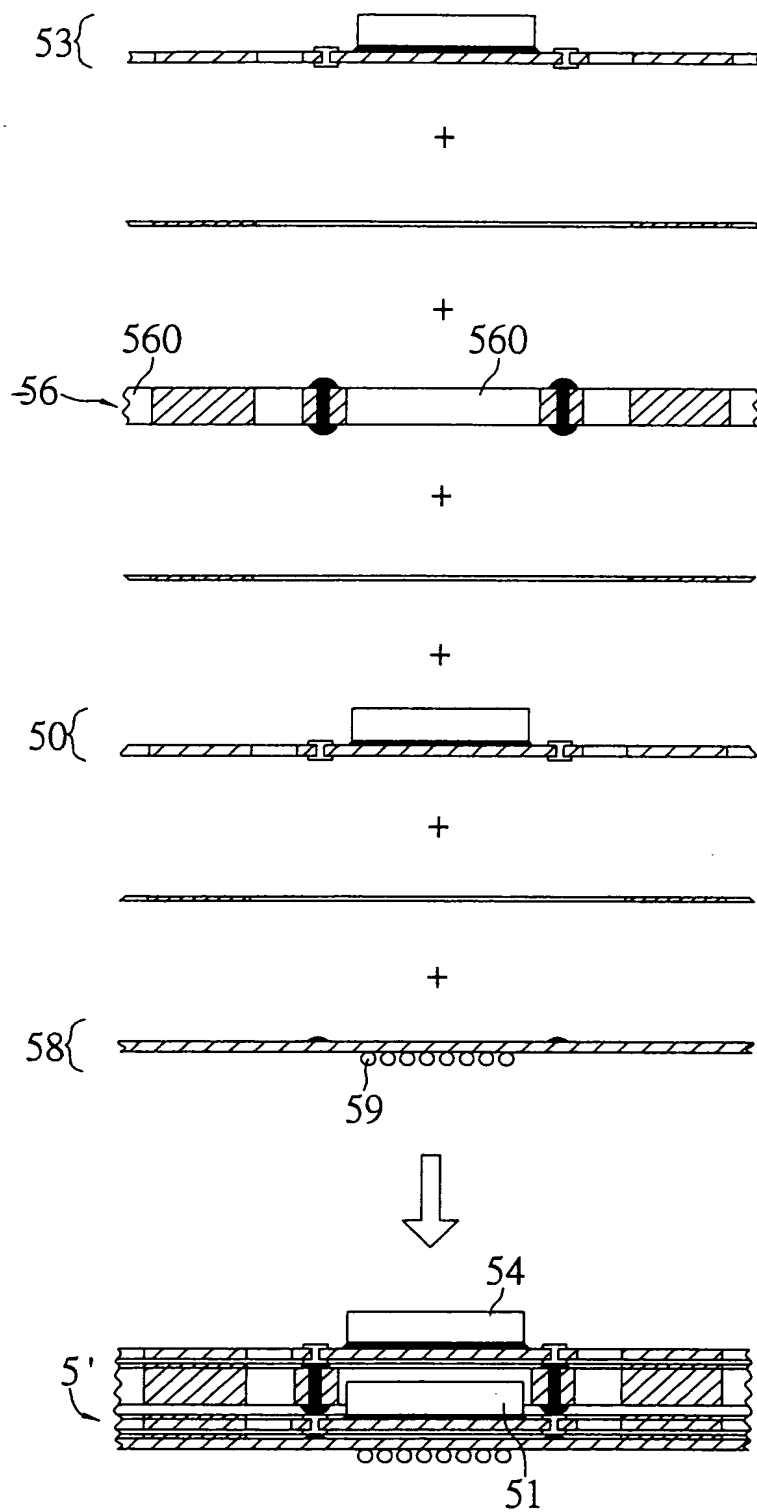
第 4B 圖



第 5 圖 (先前技術)



第 6 圖 (先前技術)



第 7 圖 (先前技術)